

一种可集成于电池组检测芯片的 Sigma-Delta A/D 转换器

袁 云,李福杰,赵 野,黑 勇

(中国科学院微电子研究所,北京 100029)

摘 要: 为提高电池组电压检测芯片的检测精度,采用 BCD 高低压兼容工艺,设计、实现了一种可集成于高压电池组检测芯片的 Sigma-Delta ADC. 该 ADC 的调制器为单环三阶反馈结构和过采样率 256,数字滤波器的通带纹波小于 0.001 dB,阻带衰减能够达到-100 dB. 在 5 V 的电源电压下,ADC 的整体功耗为 4.67 mW,版图尺寸为 2.56 mm $\times$ 0.51 mm. 在 1 kHz 的信号带宽内,该 ADC 能达到 88 dB 的信噪失真比,99.2 dB 的动态范围和 0.01% 的测量精度.

关键词: Sigma-Delta 调制器;电池组检测芯片;开关电容积分器;数字滤波器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)11-0143-05

Design of a Sigma-Delta A/D Converter for Battery Measurement Chip

YUAN Yun, LI Fu-jie, ZHAO Ye, HEI Yong

(Institute of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to develop the accuracy of a battery measurement chip, based on BCD180 HLV compatible process, a Sigma-Delta A/D Converter for battery measurement chip was implemented. The modulator of the ADC adopted single loop three orders feedback structure and OSR of 256, the digital filter featured ripples within ± 0.001 dB in pass band and -100 dB attenuation in stop band. The ADC consumed a power of 4.67 mW (0.935 mA), and the layout area was 2.56 mm $\times$ 0.51 mm at 5 V supply. It had an SNDR of 87 dB, an SFDR of 99.2 dB and the accuracy 0.01% in 1 kHz bandwidth.

Key words: sigma-delta modulator; battery measurement chip; wwitch capacitor integrator; digital filter

1 引言

随着环境污染的加重,人们环保意识的增强,新能源的普及越来越迫切.电动汽车、电动助力车及各式电动工具更多地进入到人们的视野中,动力电池作为主要的大功率输出能源,其利用率问题一直是人们的关注点.为了提高电池的使用寿命,电池组检测与管理芯片的研究渐渐成为了热点.电池组检测芯片通过对电池的电压、温度等模

拟量进行实时的检测,并将结果送至后台处理器(MCU)进行判断,MCU 再对电池组检测芯片做出相应的指令传输与控制,对电池组实施需要的均衡、充电、放电等操作,来实现电池组性能和使用寿命的最大化.为了实现精确检测的目的,高精度的模数转换器成为电池组检测芯片中的核心模块.很多电池均衡系统中会用到 SAR ADC^[1],但其单次采样即转换的特性,在充满噪声干扰的检测环境中容易给测量带来误差和不稳定性;而通

收稿日期:2014-01-29;修回日期:2014-03-22

基金项目:国家重大科技专项“新型节能驱动产品设计”(102010ZX02201-003-001);广东省中国科学院全面战略合作项目资金资助(2011A090100010)

过多次采样取平均值来实现模数转换的 Sigma-Delta ADC 能够有效地抑制环境噪声对测量的影响,更适用于复杂的电池组应用环境^[2].

Sigma-Delta ADC 包含调制器和数字滤波器两部分,而其有效精度和设计难点主要由调制器部分决定.根据测量精度和实际应用的要求,本文采用 BCD 高低压兼容工艺,实现一种可集成于高压电池组检测芯片的 Sigma-Delta A/D 转换器.

2 Sigma-Delta 调制器结构设计

Sigma-Delta 调制器的特点是它的过采样和噪声整形作用.其 z 域表达式为

$$Y(z) = STF(z)X(z) + NTF(z)E_Q(z) \quad (1)$$

式中, $X(z)$ 为输入信号, $E_Q(z)$ 为量化噪声, $STF(z)$ 为信号传递函数,在信号带宽内增益近似为 1, $NTF(z)$ 为噪声传递函数,在带内的增益近似为 0.即调制器对输入信号是近似无失真传输,而对量化噪声是以高通滤波器的方式进行传输,起到了整形的作用,使最终在所关心的频带内只含有很少的量化噪声.

信噪比是 Sigma-Delta 调制器最重要的性能指标,在只考虑量化噪声的条件下,理想 Sigma-Delta 调制器的信噪比可表示为

$$SNR_{\text{peak}} = \frac{3}{2} \pi (2^N - 1)^2 (2L + 1) \left(\frac{OSR}{\pi} \right)^{2L+1} \quad (2)$$

由式(2)可知,可以通过增加调制器的阶数 L ,量化位数 N 以及过采样比 OSR 来提高调制器的信噪比.

选择多位量化器虽然可以提升调制器的信噪比,但是由于多位反馈 DAC 匹配精度的限制,需要额外的动态匹配元件 DEM 电路来降低非线性,这样会增加电路的复杂度和功耗,而 16 bit 的精度要求,采用一位量化器即可满足条件.一阶及二阶 Sigma-Delta 调制器结构简单,稳定性好,但总体性能无法满足实际的应用要求.结合精度要求,本设计采用单环三阶的调制器结构,这种结构相对于多级级联(MASH)结构的优势在于结构简单,不需要考虑系数匹配和噪声泄露问题,很容易达到所需的高精度^[3].

经过折衷考虑,为实现 16 bit Sigma-Delta 调制器,并为电路设计留有一定的裕量,由式(2)计算得出,选择采用过采样比 $OSR=256$,单环 3 阶 1 bit 量化 CIFB 结构.本设计的调制器行为级模型如图 1 所示.

由于一般电池满电电压均在 4.2 V 及以下^[4-6],为了实现电池组性能和寿命的最优化,电池组管理

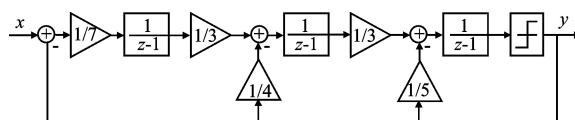


图 1 三阶单环反馈结构 Sigma-Delta 调制器行为级模型

芯片需要能精确测量出 0~4.2 V 的电压范围.将输入电压做归一化处理,采用图 1 中所示的积分系数和反馈系数,用 Matlab 进行行为级仿真.在理想仿真条件下,当单边输入幅值电压为 0.6 V,频率为 300 Hz 的正弦信号,采样频率为 512 kHz 时,调制器的信噪比可以达到 119.2 dB,模型的输出频谱图如图 2 所示,说明了模型系数选择的合理性,并给电路设计留有了充足的裕量.

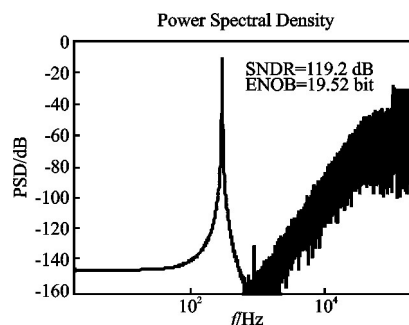


图 2 调制器行为级模型的输出频谱图

3 Sigma-Delta 调制器电路设计

本设计中的 Sigma-Delta 调制器采用开关电容积分器和一位量化器来实现.图 3 是电路的总体结构示意图,电路采用了单环三阶 CIFB 的结构;为了抑制偶次谐波和共模噪声对 ADC 性能的影响,设计采用了全差分的信号通路;同时,采用开关电容结构来减少电路功耗^[7].

3.1 开关和采样电容

3.1.1 采样开关的选择

开关的导通电阻的非线性会造成采样信号的失真,从而影响整个系统的动态范围.在此设计中选择标准的传输门来实现模拟开关,设计时,利用开关尺寸来补偿 n 管和 p 管跨导的差异^[8],满足 $K_n W_n \approx K_p W_p$,减小开关非线性.经过行为级和电路级的仿真,尺寸分别定为 nMOS 管 8/0.5, pMOS 管 20/0.5.

3.1.2 采样电容值的选择

KT/C 是 Sigma-Delta 调制器的主要噪声来源之一,由于环路的噪声整形作用,后级的采样开关热噪声被环路整形,带外的噪声都会被后级数字抽取

滤波器滤除,所以 KT/C 主要由第一级的采样电容 C_s 决定^[9]. 由于积分器是差分输入,所以开关热噪声是单极结构时的两倍;另外,采样电容 C_s 分别在采样相和积分相近似贡献了 KT/C 的热噪声^[10],因此调制器的总采样热噪声为

$$P_{kT/C} = \frac{4kT}{OSR C_s} \quad (3)$$

式中, OSR 为过采样比, C_s 是第一级的采样电容值.

设单端输入信号幅值为 V_p , 那么差分输入信号

的功率为 $(2V_p)^2/2$, 则在只考虑采样热噪声时的 SNR 为

$$SNR = \frac{P_{\text{signal}}}{P_{kT/C}} = \frac{(2V_p)^2/2}{4kT/(OSR \cdot C_s)} \quad (4)$$

结合应用,同时为设计留有一定的裕量,在本设计中取 $V_p = 1.2 \text{ V}$, $OSR = 256$, $C_s = 1 \text{ pF}$. 带入式 (4) 中,得 $SNR = 100 \text{ dB}$,满足我们的设计要求.

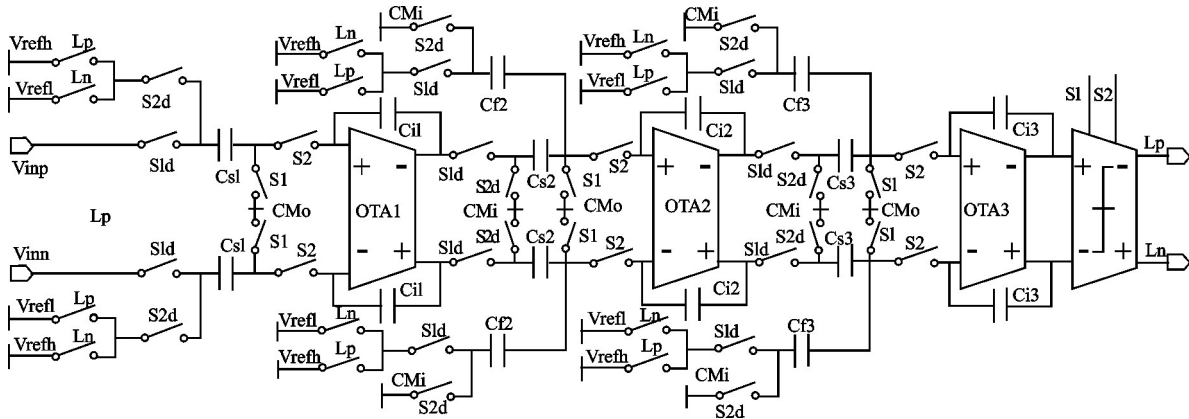


图3 电路总体结构示意图

3.2 运算放大器

运算放大器是积分器的最重要组成部分,在设计运放时需要根据系统指标来确定其增益、带宽和摆率等性能参数.

首先根据系统建立时间来确定运放增益带宽的要求. 本设计的时钟频率是 512 kHz , 为了给设计留有充足的裕量,假设在半时钟周期的 75% 达到 10 倍的时间常数, $\tau = 75 \text{ ns}$.

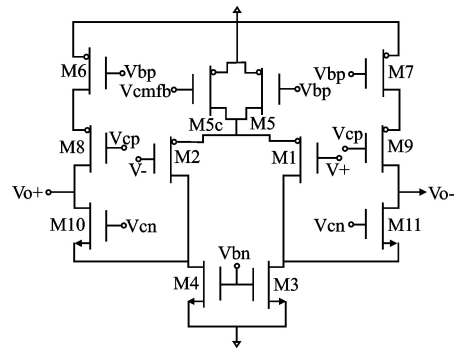
$$\tau = 1/(2\pi GBW) \quad (5)$$

设计 $GBW = 5 \text{ MHz}$, 同时分配 SR 为 25% 的半时钟周期.

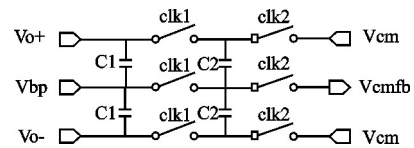
$$SR = I/C_{\text{load}} = \Delta V/\Delta t = 8 \text{ V}/\mu\text{s} \quad (6)$$

实际设计中设定指标 $SR = 10 \text{ V}/\mu\text{s}$, 取 $C_s = 1 \text{ pF}$, $A = 70 \text{ dB}$, $SR = 10 \text{ V}/\mu\text{s}$, $GBW = 5 \text{ MHz}$ 带入 Matlab 非理想模型得到系统级的行为仿真结果 $SNDR = 100.5 \text{ dB}$, 满足我们的设计要求^[9].

采用折叠式共源共栅结构的运放以节省功耗,同时共模反馈采用了开关电容形式. 图4所示为设计采用的电路结构, (a) 为运放主电路, (b) 为开关电容共模反馈电路. 运放的幅频和相频特性如图5所示,可以看出所设计运放的单位增益带宽为 10 MHz , 相位裕度接近 90° , 增益为 75 dB .



(a) 运放主电路



(b) 开关电容共模反馈电路

图4 运放的电路结构图

3.3 量化器

在电路设计中,采用动态比较器和 SR 锁存器来实现 1 bit 的量化. 由于比较器的非理想性受到调制器的多阶噪声整形作用,使该电路模块的性能要求不是很高^[11].

图6所示为差分输入动态比较器及 SR 锁存器. 当 $clk2$ 为高电平时,电路处于复位阶段; $M0$ 导通,将节点

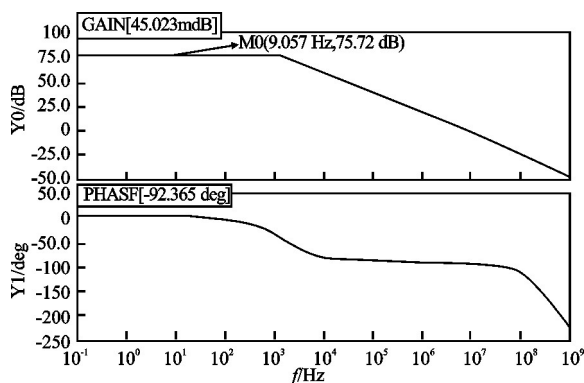


图5 运放的幅频和相频响应曲线

a, b 的电压值拉平; 同时 clk1 为低电平, 将节点 c, d 的电平拉到 V_{dd}. 当 clk1 为高电平时, 电路处于再生比较阶段; M0 关断, 节点 a, b 上的电压差被 nMOS 对和 pMOS 对的正反馈迅速放大到接近电源电压值. 输出端接 SR 锁存器将比较结果输出. 其中 clk1 和 clk2 为两相非交叠时钟. 本设计中的比较器的比较精度为 0.5 mV, 延迟时间为 17.5 ns, 满足设计要求.

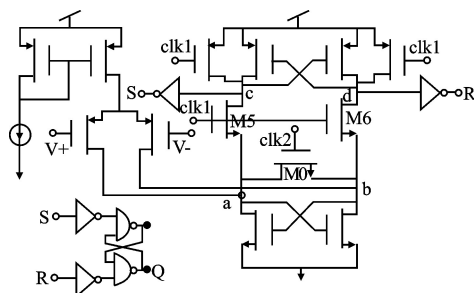


图6 量化器电路图

4 数字滤波器的设计

经过 Sigma-Delta 调制器后, 基带内的噪声被整形到高频处, 数字滤波器的作用就是将信号带宽外的噪声滤除, 同时将调制器的输出数据降频到 Nyquist 频率.

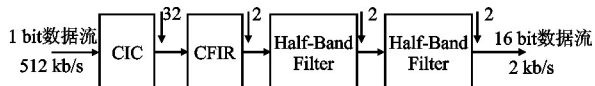


图7 数字滤波器结构框图

图7所示为本设计采用的数字滤波器结构框图. 从图中可以看到, 数字滤波器采用级联的结构. 调制器输出 512 kHz 的 1 bit 数据流信号, 经过第一级 CIC 滤波器将数据流降采样 32 倍; 后又经过 FIR 补偿滤波器 (CFIR) 来对通带进行补偿, 并对数据进行了 2 倍降采样; 第三级和第四级本设计采用了两

个半带滤波器 (Half-Band-Filter), 最后将 16 bit 的数据以 2 kb/s 的速率输出^[12].

图8所示为本设计采用的数字滤波器的整体幅频响应特性曲线, 从图中可以看到, 在 1.2 kHz 的截止频率处滤波器能够达到 -100 dB 的衰减, 满足设计的指标要求.

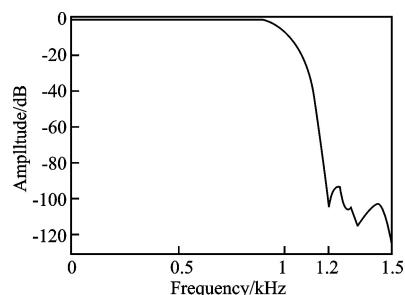


图8 数字滤波器整体幅频特性

5 ADC 整体仿真结果

本设计中的 Sigma-Delta ADC 采用 BCD 高压兼容工艺实现, 在 5 V 的电源供电电压下, ADC 整体功耗为 4.67 mW (0.935 mA). 图9所示为 ADC 整体版图, 其中模块 A 为调制器电路, 模块 B 为数字滤波器, 版图总体面积为 2.56 mm × 0.51 mm.

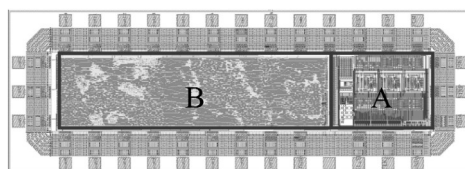
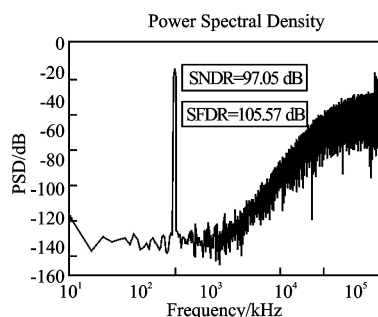
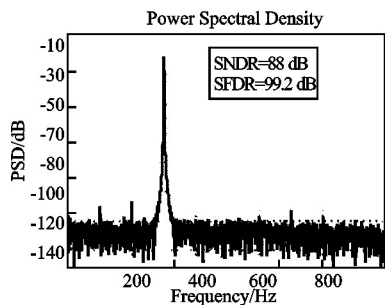


图9 Sigma-Delta ADC 整体版图

在输入信号为 600 mV@300 Hz 的情况下, Sigma-Delta 调制器的输出信噪失真比为 97.05 dB, 无失真动态范围为 105.57 dB. Sigma-Delta ADC 的信噪失真比为 88 dB, 动态范围为 99.2 dB. Sigma-Delta 调制器和 ADC 的输出频谱如图10所示.



(a) Sigma-Delta 调制器的输出频谱图



(b) Sigma-Delta ADC 的输出频谱图

图 10 Sigma-Delta 调制器和 ADC 的仿真结果

6 结束语

采用 BCD 高低压兼容工艺,成功实现了一种可集成于高压电池组检测芯片的 16 bit Sigma-Delta A/D 转换器. 调制器通过采用单环三阶一位量化的 C1FB 结构,采用开关电容积分器,有效降低了整体电路的功耗. 仿真结果表明,该 Sigma-Delta ADC 能够达到 88 dB 的信噪失真比和 99.2 dB 的动态范围,实际实现有效位数为 14.3 bit,消耗总电流仅为 0.935 mA,且可以达到 0.01% 的测量精度,适合集成于电池组检测芯片中.

参考文献:

- [1] Qaisar S. M, Dallet D. An evaluation methodology for the li-Ion battery multiplexed voltage measurement systems [C] // Instrumentation and Measurement Technology Conference (I2MTC). [s. l.]: IEEE, 2010: 785-788.
- [2] 李斌桥,陈莞,高静. 用于电池管理系统的 Sigma-Delta ADC 模型优化设计及研究[J]. 电路与系统学报, 2013,18(2):58-61.
- [3] Yang Yuqing, Amiya Chokhawala, Mark Alexander et al. A 114dB 68mW chopper-stabilized stereo multibit

- audio ADC in 5.62m²[J]. IEEE Journal of Solid State Circuits, 2003, 38(12):2061-2068.
- [4] S M Lukic, J Cao, R C Bansal, et al. Energy storage systems for automotive applications[J]. Industrial Electronics. IEEE Transactions on, 2008 (55): 2258-2267.
- [5] M A Fetcenko, S R O vshinsky, B Reichman, et al. Recent advances in NiMH battery technology [J]. Journal of Power Sources, 2007(165):544-551.
- [6] B Srosati, J Garche. Lithium batteries; Status, prospects and future[J]. Journal of Power Sources, 2010 (195):2419-2430.
- [7] 刘燕娟,程东方. 用于电池电量测量的 Delta-Sigma 调制器设计[J]. 微电子学与计算机, 2013,30(7):82-85.
- [8] R del Rio, F Medeiro, B Perez-Verdu, et al. Rodriguez-vazquez CMOS cascade sigma-delta modulators for sensors and telecom [M]. Netherland: Springer Inc, 2006.
- [9] Richard Schreier, Gabor C Temes. Understanding delta-sigma data converters [M]. New Jersey: Wiley & Sons Inc, 2004.
- [10] Shahriar Rabii, Bruce A Wooley. A 1.8-V digital-audio sigma-delta modulator in 0.8-um CMOS[J]. IEEE Journal of Solide-State Circuit, 1997,32(6):783-796.
- [11] 陈建球,任俊彦,许俊,等. 一个用于 GSM 的 80dB 动态范围 Σ - Δ 调制器[J]. 半导体学报, 2007, 28(2): 294-301.
- [12] 范军,蒋见花,李海龙. 一种适用于信号检测的低失真低功耗 Σ - Δ A/D 转换器[J]. 微电子学, 2011, 41(4): 488-492.

作者简介:

袁云女,(1988-),硕士研究生. 研究方向为高精度 ADC 设计.

(上接第 142 页)

- [12] Braza M, Perrin R, Hoarau Y. Turbulence properties in the cylinder wake at high Reynolds numbers[J]. Journal of fluids and Structures, 2006, 22(6): 757-771.

作者简介:

武频女,(1975-),博士,副教授. 研究方向为 CFD 数值计算、高性能计算、并行计算.

高升男,(1989-),硕士研究生. 研究方向为高性能计算、CFD 数值计算.